

Best Available Copy

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-082377
(43)Date of publication of application : 13.04.1988

(51)Int.CI. G01R 31/26
G01R 15/08

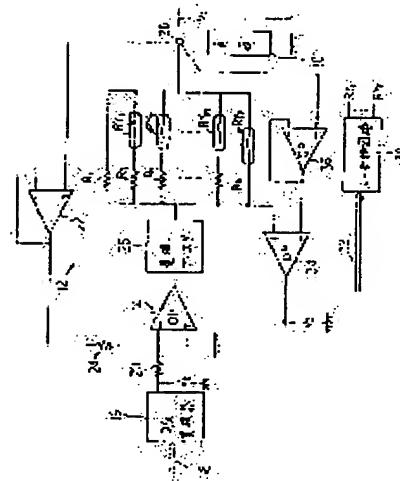
(21)Application number : 61-227635 (71)Applicant : HITACHI ELECTRONICS ENG CO LTD
(22)Date of filing : 26.09.1986 (72)Inventor : MORI HIROFUMI

(54) CURRENT MEASURING CIRCUIT

(57)Abstract:

PURPOSE: To achieve a load current measurement in a short time, by arranging a current measuring circuit in a fixed voltage loop circuit provided to apply a fixed voltage to a load in parallel therewith, respective shut-off switches at a plurality of current detecting resistances connected in parallel composing the circuit and a short-circuit switch for all thereof.

CONSTITUTION: A D/A converter 16 is operated by a digital signal 18 to generate a specified voltage V_2 , which is applied to a load 10 through resistances 20 and 24, an operational amplifier 22 and a load connection terminal 28 to generate a load voltage V_1 in the load 10. Then, a normal fixed voltage loop circuit 12 which comprises an operational amplifier 14, a current booster 26 and a number of parallel resistances is arranged in parallel with the circuit thus obtained, as positioned between the resistance 20 and the terminal 28, while resistances R_{2WRm} among those R_{1WRn} are provided with lead relays RY_{1WRYm} respectively and a short-circuit switch RY_n is connected for all of the resistances. Operational amplifiers 34 and 36 for detecting voltage drop are connected in parallel with the resistance group to select a resistance value with a relay control circuit 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-82377

⑬ Int. Cl. 4

G 01 R 31/26
15/08

識別記号

厅内整理番号

Z-7359-2G
Z-8606-2G

⑭ 公開 昭和63年(1988)4月13日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電流測定回路

⑯ 特 願 昭61-227635

⑰ 出 願 昭61(1986)9月26日

⑱ 発明者 森 弘文 東京都千代田区大手町2丁目6番2号 日立電子エンジニアリング株式会社内

⑲ 出願人 日立電子エンジニアリング株式会社 東京都千代田区大手町2丁目6番2号

⑳ 代理人 弁理士 梶山 信是 外1名

明細書

1. 発明の名称

電流測定回路

2. 特許請求の範囲

(1) 負荷に定電圧を印加するための定電圧ループ回路内に含まれる前記負荷と直列の電流路に、電流検出用抵抗を挿入し、前記電流検出用抵抗の電圧降下によって前記負荷に流れる電流を測定する電流測定回路において、前記電流路に挿入された電流検出用抵抗を短絡するためのスイッチ要素を有することを特徴とする電流測定回路。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、電流検出用抵抗を介して負荷に定電圧を印加し、電流検出用抵抗の電圧降下によって負荷電流を測定する電流測定回路に関する。

【従来の技術】

例えば I C テスタにおいては、被測定 I C の電源ピンなどの流入電流測定、短絡やリーキのチェックなどのために、電流測定回路が用いられている

る。

このような電流測定回路においては一般に、負荷に直列に挿入される電流検出用抵抗は、負荷に定電圧を印加するための定電圧ループ回路内に含まれられる。

【解決しようとする問題点】

このような電流測定回路において、負荷が容量性の場合、電圧印加時に過渡電流が流れるが、小電流レンジであると電流検出用抵抗の値が大きいために、その電流が制限される。

その結果、定電流ループ回路内のオペアンプや電流ブースタ(バッファ)が飽和を起こし、測定が不可能になるという問題があった。

また、そのような飽和が起きない場合でも、負荷電流が定常値に安定するまでに長い時間がかかり、測定時間が増大するという問題があった。

【発明の目的】

したがって、この発明の目的は、そのような容量性負荷の電流測定に関する問題点を解消した電流測定回路を提供することにある。

【問題点を解決するための手段】

この目的を達成するために、この発明は、負荷に定電圧を印加するための定電圧ループ回路内に含まれる負荷と直列の電流路に、電流検出用抵抗を挿入し、電流検出用抵抗の電圧降下によって負荷電流を測定する電流測定回路において、前記電流路に挿入された電流検出用抵抗を短絡するためのスイッチ要素を設けることを特徴とするものである。

【作用】

負荷が容量性で小電流レンジであっても、電圧印加時にスイッチ要素を閉じて電流検出用抵抗を短絡すれば、負荷の過渡電流が制限されないので、定電圧ループ回路内のオペアンプや電流ブースタなどの飽和を防止できる。

また、負荷電流は短時間で定常値に安定するので、その安定に必要な時間を経過後にスイッチ要素を開くようにすれば、容量性負荷の電流測定を短時間で行うことができる。

【実施例】

さて、定電圧ループ回路12内の負荷10と直列の電流路、すなわち電流ブースタ26の出力と負荷接続端子28との間に、電流検出用抵抗が挿入される。R₁～R_nが電流検出用抵抗である。

この電流検出用抵抗の中の抵抗R₁以外の抵抗R₂～R_nは、測定レンジに応じて1個または複数個が選択的に挿入される。その選択的な挿入（測定レンジ切り換え）のためのスイッチ要素として、リードリレーRY₁～RY_mが図示のよう抵抗R₂～R_nに関連して設けられている。

この実施例にあっては、電流測定用抵抗R₁～R_nを短絡するためのスイッチ要素として、リードリレーRY_nが電流測定用抵抗R₁～R_nに並列に接続されている。

30はリレー制御回路であり、デジタル制御信号32に従って、前記リードリレーRY₁～RY_nの開閉をダイナミックに制御するものである。

34は電流検出用抵抗の電圧降下を検出するためのオペアンプである。その非反転入力は電流ブースタ26の出力電圧を印加され、また、反転入

以下、図面を参照し、この発明の実施例について説明する。

第1図は、この発明による電流測定回路の一実施例を示す回路図である。

この図において、10は電流測定の対象となる負荷であり、定電圧ループ回路12によって定電圧V₁が印加されて電流測定を行われる。

この定電圧ループ回路12は一般的な構成である。すなわち、オペアンプ14の反転入力に、デジタル／アナログ変換器18からデジタル信号18によって指定された直流電圧V₂が抵抗20を介して印加されるとともに、負荷電圧V₁がオペアンプ22の電圧フォロワおよび抵抗24を介してフィードバックされる。このオペアンプ14の非反転入力は接地される。オペアンプ14の出力は電流ブースタ（バッファ）26の入力に接続され、その出力は負荷接続端子28に接続される。

この定電圧ループ回路12のゲインは抵抗20、24の値によって決定され、負荷電圧V₁は直流電圧V₂に比例した一定値に保持される。

力はオペアンプ36の電圧フォロワを介して負荷電圧V₁が印加される。このオペアンプ34の出力電圧V₃は、負荷電流に比例する。

このような構成の電流測定回路において、負荷10が容量性の場合、測定動作は次のようなシーケンスで行われる。

負荷10に所定の電圧を印加する時に、リード制御回路30によって、測定レンジに応じてリードリレーRY₁～RY_mの必要なものが閉じられ、抵抗R₂～R_nの1個または複数個と抵抗R₁が並列に接続された形で電流路に挿入される。ただし、最小レンジでは、抵抗R₁だけが挿入され、他の抵抗R₂～R_nは挿入されない。

同時に、リレー制御回路30によって、短絡用に追加されたリードリレーRY_nが閉じられる。

このように、負荷10と直列の電流路に挿入された電流検出用抵抗はリードリレーRY_nによって短絡されるので、小電流測定レンジの場合でも負荷10の過渡電流は制限されず、負荷電流は短時間に定常値に安定する。また、負荷電流が制限

されないため、定電圧ループ回路12内のオペアンプ14および電流ブースタ26の飽和は起こらない。

このようにして、電圧印加から負荷電流が定常値に達するまでに必要な時間を経過すると、リレー制御回路30により短絡用リードリレーRYnは開かれ、オペアンプ34の出力電圧V3として負荷電流に比例した電圧が得られ、負荷電流が測定される。

このように、容量性負荷の場合でも、負荷電流は短時間に定常値に安定するので、短絡用リードリレーRYnの閉成時間を適切に制御すれば、電流測定を短時間に行うことができる。

なお、測定レンジ切り換え用のリードリレーRY1～RYmの制御は、短絡用リードリレーRYnの閉成期間に行ってもよい。

第2図は、この発明による電流測定回路の他の実施例を示す回路図である。この図において、第1図と同一符号は同等要素を示す。

この実施例の電流測定回路においては、電流検

出用抵抗R11～R1nは直列的に接続され、抵抗R12～R1nをリードリレーRY11～RY1mによって選択的に短絡することにより、測定レンジの切り換えを行うようになっている。そして、短絡用リードリレーRY1nは、図示のように電流ブースタ26の出力と負荷接続端子28との間に並列に接続される。

これ以外の構成は、前記実施例と同じである。

この電流測定回路においても、前記実施例の場合と同様に、負荷10に過渡電流が流れる期間にリードリレーRY1nを一時的に閉じることにより、容量性負荷の電流測定が可能であることは明らかである。

以上、二つの実施例について説明したが、この発明はそれだけに限定されるものではなく、短絡用スイッチ要素としてリードリレー以外のものを用いるなど、その要旨を逸脱しない範囲内で適宜変形して実施し得るものである。

さらに付言すれば、負荷電流から負荷の抵抗値を測定することを目的とした測定回路にも、この発

明は同様に適用できることは当然である。

【発明の効果】

以上実施例に関連して詳細に説明したように、この発明は、負荷に定電圧を印加するための定電圧ループ回路内に含まれる負荷と直列の電流路に、電流検出用抵抗を挿入し、電流検出用抵抗の電圧降下によって負荷電流を測定する電流測定回路において、前記電流路に挿入された電流検出用抵抗を短絡するためのスイッチ要素を設けるから、負荷が容量性で小電流レンジであっても、定電圧ループ回路内のオペアンプや電流ブースタなどの飽和を防止し、負荷電流測定を短時間で行うことができる電流測定回路を実現できる。

4. 図面の簡単な説明

第1図は、この発明による電流測定回路の一実施例を示す回路図、第2図は、この発明による電流測定回路の他の実施例を示す回路図である。

10…負荷、12…定電圧ループ回路、14、22、34、36…オペアンプ、26…電流ブースタ、R1～Rn、R11～R1n…電流検出用

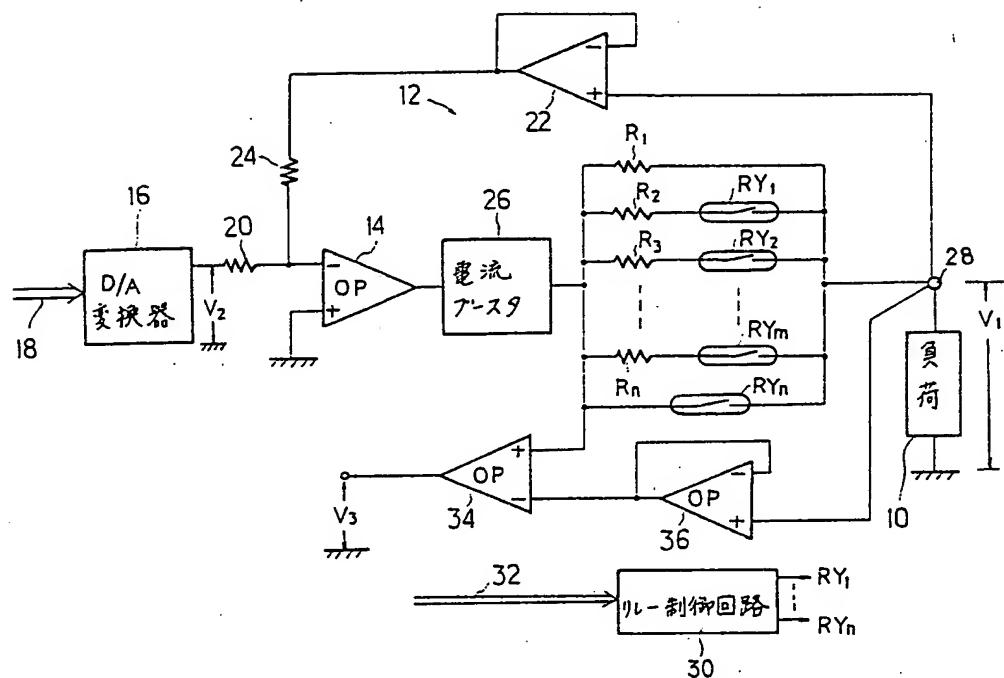
抵抗、RY1～RYm、RY11～RY1m…測定レンジ切り換え用リードリレー、RYn、RY1n…短絡用リードリレー（スイッチ要素）、30…リレー制御回路。

特許出願人

日立電子エンジニアリング株式会社

代理人 弁理士 梶山 信是
弁理士 山本 富士男

第 1 図



第 2 図

